

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-042957

(43)Date of publication of application : 13.02.1992

(51)Int.Cl.

H01L 25/065

H01L 25/07

H01L 25/18

H01L 27/00

(21)Application number : 02-147845

(71)Applicant : MATSUSHITA ELECTRON CORP

(22)Date of filing : 06.06.1990

(72)Inventor : UEDA SEIJI

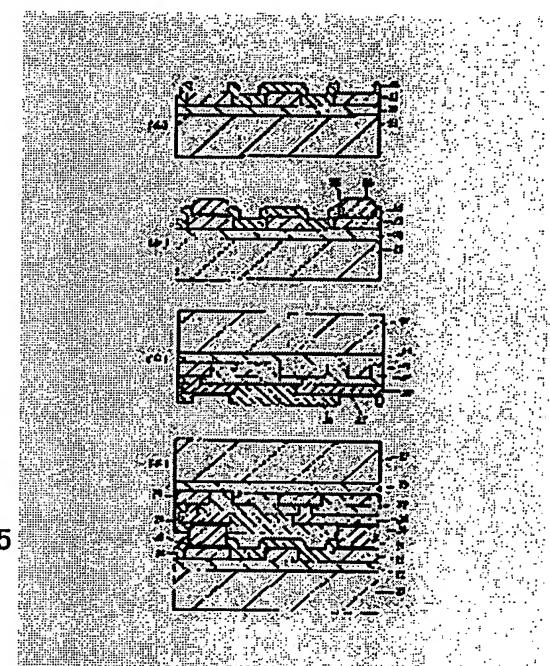
## (54) MANUFACTURE OF SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

## (57)Abstract:

**PURPOSE:** To make possible the formation of a semiconductor integrated circuit having a good yield and a good fraction non-defective, which are accompanied by a high density and a multilayer interconnection, by a method wherein semiconductor elements, wirings and electrode pads are respectively provided on first and second semiconductor substrates and the second semiconductor substrate is superposed and fixed on the first semiconductor substrate in such a way that the substrates are connected to each other via bumps.

**CONSTITUTION:** A first semiconductor substrate is formed by a method wherein an element, such as a MOS transistor or the like, is formed on a silicon substrate 21, an interlayer insulating film 22 is deposited on this element, contact holes are opened, first Al wirings 23 are formed, then, a surface protective film 24 is deposited, windows for electrode pad use are opened and a barrier metal film 25 and each gold bump 26 are deposited on each electrode pad 23. A second semiconductor substrate is formed like the first semiconductor substrate. Then, the first semiconductor substrate 1 is bonded to die pads 7 of the second semiconductor substrate.

After this, the second semiconductor substrate 2 is superposed on the substrate 1, the pads 23 of both substrates 1 and 2 are aligned to each other, are thermally fixed by pressure, bumps 31 are alloyed and the substrates 1 and 2 are connected to each other.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]  
[Date of extinction of right]

⑩ 日本国特許庁 (JP) ⑪ 特許出願公開  
⑫ 公開特許公報 (A) 平4-42957

⑬ Int.Cl.  
H 01 L 25/065  
25/07  
25/18  
27/00

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)2月13日

301 B

7514-4M

7638-4M H 01 L 25/08

B

審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 半導体集積回路装置の製造方法

⑯ 特 願 平2-147845

⑰ 出 願 平2(1990)6月6日

⑱ 発明者 上田 誠二 大阪府門真市大字門真1006番地  
松下電子工業株式会社内  
⑲ 出願人 松下電子工業株式会社  
大阪府門真市大字門真1006番地  
⑳ 代理人 弁理士 栗野 重孝  
外1名

### 明細書

#### 1. 発明の名称

半導体集積回路装置の製造方法

#### 2. 特許請求の範囲

第1の半導体基板上および第2の半導体基板上にそれぞれ半導体素子、配線および電極パッドを設け、両半導体基板上の対応する電極パッドがパンプを介して接続されるように、両半導体基板を重ね固定する半導体集積回路装置の製造方法。

#### 3. 発明の詳細な説明

##### 産業上の利用分野

本発明は、高密度多層配線を有する半導体集積回路装置の製造方法に関する。

##### 従来の技術

半導体集積回路装置を高密度化、高集積化するため、半導体や周辺を微細化するとともに、配線の高密度化、多層配線化が進められている。とくに、高密度、多層配線の集積回路装置を実現するために、配線層の加工精度の向上、配線のパターン欠陥の減少、製造のリードタイム(ターンアラ

ウンド時間)の短縮が大きな課題になっている。従来この種の半導体装置は第3図に示すような構成であった。第3図は従来の3層メタル配線を有するゲートアレイのメタル配線部分のみを模式的に示している。第3図では、MOS型トランジスタ、容量素子などの半導体基板に搭載される素子を省略したが、実際の半導体集積回路装置では、種々の素子を搭載することにより表面に凹凸が生じ、複雑な表面形状を形成している。この複雑な形状の表面上に多層メタル配線を形成することになる。第3図に示すようにシリコン基板41にMOS型トランジスタ、容量素子などの素子(図示せず)を形成し、この上に第1の層間絶縁膜42を堆積し、この層間絶縁膜42に、それぞれのコンタクトホール(図示せず)を形成し、第1のメタル電極配線43を形成する。つぎに、第2の層間絶縁膜44を堆積し、第1メタル配線43からの接続部分にバイアスホール51を開孔した後、第2のメタル配線45を形成する。ふたたび、第3の層間絶縁膜46を堆積し、第2のメタル配線

45からの接続部分にバイアスホール52を開孔し、第3のメタル配線47を形成する。つぎに、表面保護膜48を堆積する。以上のように、ゲートアレイなどの半導体集積回路装置では、装置の高密度化、高集積化を実現するためには、配線の多層化が必須になってきている。

#### 発明が解決しようとする課題

従来の方法では、次のような問題点がある。ゲートアレイ、スタンダードセルなどのASICにおいては、集積度を向上するため、全面敷き詰め型ゲートアレイが実用化され、2~3層以上のメタル配線が必須になっている。そのため、微細化と、多層化が同時に進行し、加工技術から見ると、高密度配線を多層化することになり、製造工程数が増加して製造加工歩留りや、良品率の低下、加工装置の長期にわたる信頼性を保持することとの困難性などの多くの課題がある。とくに、下地の段差形状が急峻になり、この下地の上に2~3層のメタル配線を行うには、半導体装置表面の平坦化技術の確立など多くの技術課題もある。

それの電極がバンプを介して接続するようにしたものである。

#### 作用

この構成により複雑な高密度、多層配線構造を有する半導体集積回路装置の製造において、配線の一部を別の半導体基板に形成し、製作した後、2つの半導体基板を接続することにより積層数を減少させ、積層に伴う下地の厳しい複雑な凹凸による影響をさけ、かつ、別の半導体基板で半導体装置を造ることにより、製造歩留りを向上させ、製造期間を大幅に短縮することとなる。

#### 実施例

本発明の半導体集積回路装置の一実施例を第1図に示す。第1図は、本発明の半導体集積回路装置をプラスチック封止したDIL(DUAL IN LINE型)パッケージの要部構造を模式的に示したものである。半導体素子を搭載した第1の半導体基板1には、電極パッドA3が設けられ、この上に保護膜5が堆積され、電極部分3のみ開孔されている。第1の半導体基板1はろう材により

第2の問題点として、半導体集積回路装置を製造するときのリードタイムの増加がある。この製造リードタイムの増加は将来開発される複雑な大規模集積回路装置の実現に要する開発期間を長くするので、半導体装置製造上だけでなく開発についても大きな課題である。

本発明はこのような課題を解決するもので、高密度、多層配線に伴う歩留りや良品率の低下を起さず、製造のリードタイムを短縮し、開発期間を短縮する半導体集積回路を提供することを目的とするものである。

#### 課題を解決するための手段

この課題を解決するために本発明は、第1の半導体基板に搭載された半導体装置の電極または配線接続の一部を第2の半導体基板上に形成し、前記第1の半導体基板上の半導体装置と前記第2の半導体基板上に形成された電極または配線のそれぞれに電極パッドを設け、前記電極パッドを相互に接続するようにしたものである。さらに、この二つの半導体基板が対向して重ねあわされ、それ

ダイパッド7に接着され、一部の電極パッド12は、ワイヤ9によりリード10に接続されている。第2の半導体基板2には、アルミ配線のみ1~2層形成され、それぞれに電極パッド4が設けられている。本実施例では、第1の半導体基板にバンプが形成され、第1の半導体基板および第2の半導体基板は熱圧着されて1つの半導体集積回路装置が形成される。その後このチップは樹脂封止される。

上記工程の詳細について、第2図(a)~第2図(d)により半導体基板の製造工程を説明する。第2図(a)は、第1の半導体基板の製造工程を示しており、シリコン基板21上にMOS型トランジスタ、容量素子、抵抗体などの素子を形成し(図示せず)、この上に層間絶縁膜22を堆積し、この層間絶縁膜22に、それぞれの電極を取り出すためのコンタクトホールを開孔し(図示せず)、第1のアルミ配線23を形成する。この第1のアルミ配線23は、半導体集積回路装置のブロック毎に電極を形成される。つぎに、表面保護膜24を

堆積し、電極パッド用の窓を開孔する。つぎに、第2図(d)に示すように電極パッド23上に、例えば、チタンタングステンからなるパリアメタル25、金パンプ26を堆積する。

第2図(c)に第1の半導体基板の断面構造を示す。第2図(a)に示した第2の半導体基板と同じく、シリコン基板21に絶縁膜27を堆積し、この絶縁膜27に、第2のアルミ配線29を形成する。この上に層間絶縁膜28を堆積し、この層間絶縁膜28に、バイアホールを開孔する。つぎに、第3のアルミ配線30を形成する。つぎに、表面保護膜24を堆積し、電極パッド用の窓を開孔する。電極パッドには、第1の半導体基板と同じく、パリアメタル25をアルミ膜上に形成する。

つぎに、ウエハ状態で作製した前記半導体基板を、半導体装置毎に切断して第1図に示したように、ダイパッド7に第1の半導体基板1を接着する。この後、同様に切断された第2の半導体基板2を第2図(d)に示すように、第1の半導体基板1に重ね合わせ、それぞれの電極パッド位置を合わ

せ、熱圧着し、パンプ31を合金化し、半導体基板を接続する。このようにして2つ以上の半導体基板から1つの半導体集積回路装置が形成される。

なお、本実施例では、シリコン基板の例を示したが、化合物半導体基板でも同様に適用可能である。また、本実施例では、金パンプにより、接続を行っているが、より微細な電極パッドを形成し、このパッド上にピラー(柱状突起)を形成し、これに対向する電極を合金化し、接続することも可能であり、電極パッドの形状や、面積によりいくつかの接続方式がある。

#### 発明の効果

以上の実施例の説明からも明らかなように本発明の半導体集積回路装置によれば、多層メタル配線の一部、または大部分を別半導体基板上に形成できるため、複雑な多層配線であっても、下地に形成された素子による凹凸の影響を受けず、平坦な基板上で第2、第3のメタル配線を形成でき、製造工程がかなり容易になる。さらに、配線を別

半導体基板で形成することが可能なため、マスタースライス方式で、第1の半導体基板を作製し、ダイパットに接着しておけば、同時に平行して第2の半導体基板を製作することができ、半導体集積回路装置の製造のリードタイムを著しく短縮できる。また、半導体装置AおよびBをそれぞれ個別にテストしたのち接着すれば、良品率が向上するという効果が得られる。

#### 4. 図面の簡単な説明

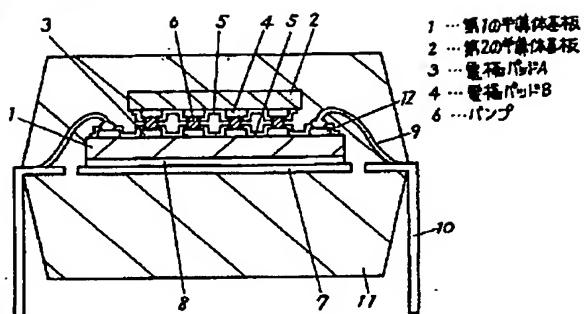
第1図は本発明の一実施例の半導体集積回路装置の断面図、第2図(a)～第2図(d)は同半導体集積回路装置の半導体基板部分の製造工程を示す断面図、第3図は従来の半導体集積回路装置の断面図である。

1……第1の半導体基板、2……第2の半導体基板、3……電極パッドA、4……電極パッドB、6……パンプ、21……シリコン基板、22……層間絶縁膜、23……第1のアルミ配線、24……表面保護膜、25……パリアメタル、26……金パンプ、27……絶縁膜、28……層間絶縁膜

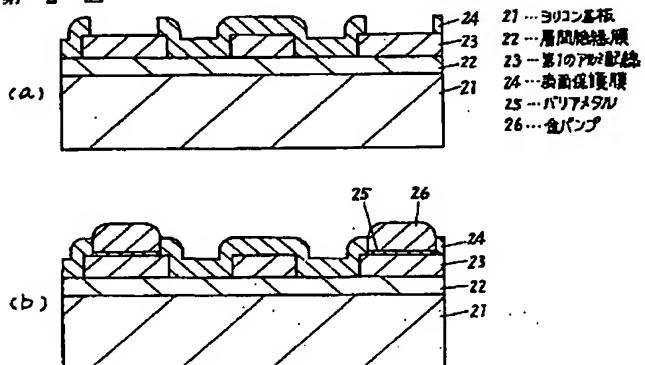
膜、29……第2のアルミ配線、30……第3のアルミ配線、31……金パンプ。

代理人の氏名 弁理士 栗野憲幸 ほか1名

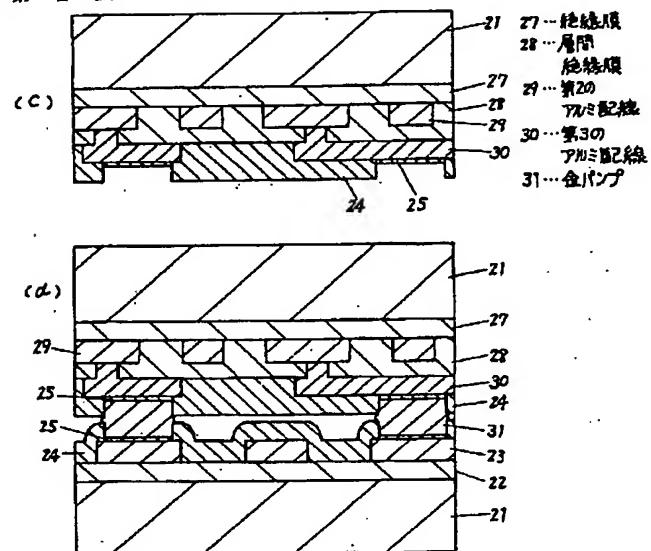
第 1 図



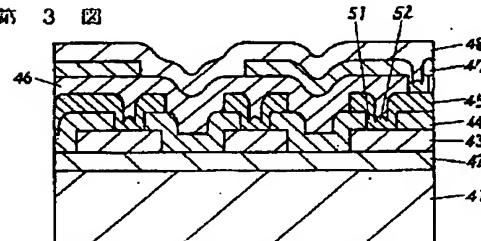
第 2 図



第 2 図



第 3 図



【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成7年(1995)10月13日

【公開番号】特開平4-42957

【公開日】平成4年(1992)2月13日

【年通号数】公開特許公報4-430

【出願番号】特願平2-147845

【国際特許分類第6版】

H01L 25/065

25/07

25/18

【F I】

H01L 25/08

B 7220-4M

OP

## 手 続 補 正 書

平成4年9月13日

特許庁長官殿

1 事件の表示

平成2年特許第147845号

2 発明の名称

半導体集積回路装置の製造方法

3 補正をする者

事件との関係

特許出願人

平成5年10月20日住所変更(一括)

住 所 大阪府高槻市幸町1番1号  
名 称 (584) 松下電子工業株式会社  
代 表 者 井山 一 勲

4 代 理 人

〒571

住 所 大阪府門真市大字門真1006番地

松下電器産業株式会社内

氏 名 (7242) 井理士 小 明 治

(ほか2名)

【連絡先 電話 03-3434-9471 知的財産権センター】

5 補正により増加する請求項の数

0

6 補正の対象

明細書の発明の詳細な説明の欄

図面

### 7、補正の内容

(1) 明細書の第2頁第18行の「バイアスホール51」を「バイアホール51」に補正致します。

(2) 同第3頁第1行の「バイアスホール52」を「バイアホール52」に補正致します。

(3) 同第5頁第20行の「ろう材により」を「ろう材8により」に補正致します。

(4) 図面の第8図を別紙の通り補正致します。

第3図

